

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 5 月 13 日 (13.05.2004)

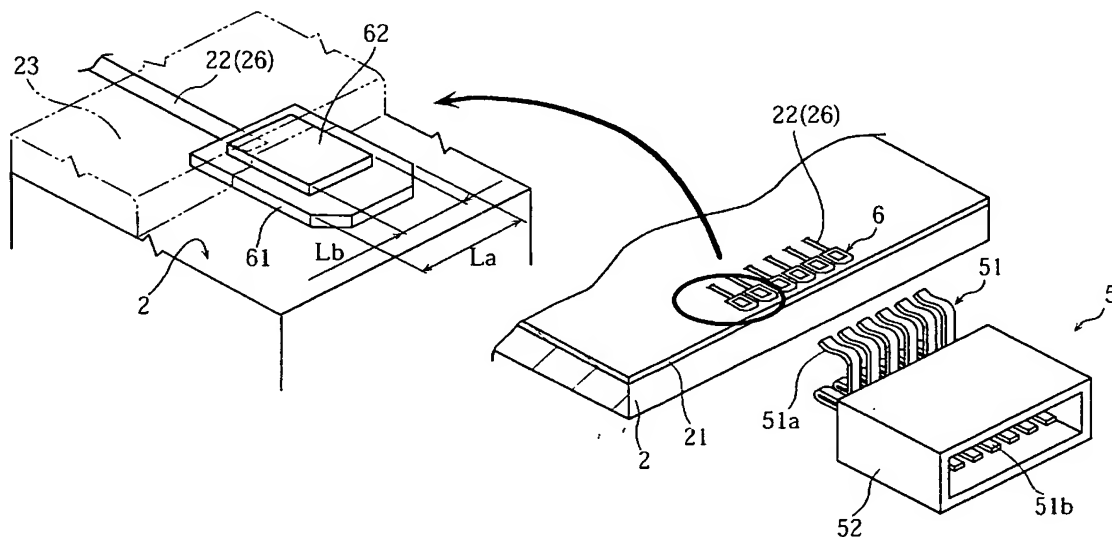
PCT

(10) 国際公開番号  
WO 2004/039593 A1

- (51) 国際特許分類<sup>7</sup>: B41J 2/325, 2/345 (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 山本 将也 (YAMAMOTO, Masaya) [JP/JP]; 〒615-8585 京都府 京都市 右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 小島 忍 (OBATA, Shinobu) [JP/JP]; 〒615-8585 京都府 京都市 右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (21) 国際出願番号: PCT/JP2003/013889
- (22) 国際出願日: 2003 年 10 月 29 日 (29.10.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2002-314230  
2002 年 10 月 29 日 (29.10.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒615-8585 京都府 京都市 右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (74) 代理人: 吉田 稔, 外 (YOSHIDA, Minoru et al.); 〒543-0014 大阪府 大阪市 天王寺区玉造元町 2 番 3 2-1 3 0 1 Osaka (JP).
- (81) 指定国 (国内): CN, KR, US.
- 添付公開書類:  
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: THERMAL PRINT HEAD

(54) 発明の名称: サーマルプリントヘッド



(57) Abstract: A thermal print head has an insulative substrate (2), a glaze layer (21) formed on the substrate (2), a wiring pattern (22) formed on the glaze layer (21), and an electrode (6) connected to the wiring pattern (22). The electrode (6) includes a pad (61) overlapping the wiring pattern (22) and an upper layer (62) formed on the pad (61). The upper layer (62) has better solder wettability than the pad (61) and has a smaller area than the pad (61).

(57) 要約: サーマルプリントヘッドは、絶縁性の基板 (2) と、基板 (2) 上に形成されたグレーズ層 (21) と、グレーズ層 (21) 上に形成された配線パターン (22) と、配線パターン (22) に接続された電極 (6) とを含む。電極 (6) は、配線パターン (22) に重なるパッド (61) と、パッド (61) 上に形成された上部層 (62) とを含んでいる。上部層 (62) は、パッド (61) よりも半田濡れ性が優れているとともに、パッド (61) よりも面積が小さい構成とされている。

## ABSTRACT

A thermal print head includes an insulating board (2),  
a glaze layer (21) formed on the board (2), a wiring pattern  
5 (22) formed on the glaze layer (21), and an electrode (6)  
connected to the wiring pattern (22). The electrode (6)  
includes a pad (61) provided on the wiring pattern (22), and  
an upper layer (62) formed on the pad (61). The upper layer  
(62) has a higher solderability than the pad (61) while also  
10 having a smaller surface area than the pad (61).